

DERWENT-ACC-NO: 2004-704364

DERWENT-WEEK: 200469

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor device e.g. fin type metal insulated semiconductor field effect transistor has semiconductor area with wide portion, and gate electrode that covers lower surface except specific portion of substrate

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 2003JP-0073002 (March 18, 2003)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2004281845 A	October 7, 2004	N/A	015	H01L029/786

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2004281845A	N/A	2003JP-0073002	March 18, 2003

INT-CL (IPC): H01L021/336, H01L029/786

ABSTRACTED-PUB-NO: JP2004281845A

BASIC-ABSTRACT:

NOVELTY - A silicon substrate (1) has a channel area through which electric current is passed along longitudinal direction of the gate. A semiconductor area (3) has wide portion (3b) which is wider than leg (3a) of insulating film (2). A gate electrode (8) covers lower surface except side surface of the leg, contact portion of the leg and wide portion, side surface of the wide

Best Available Copy

portion
through a gate insulating film (2).

DETAILED DESCRIPTION - An **INDEPENDENT CLAIM** is also included for semiconductor device manufacturing method.

USE - Semiconductor device e.g. fin type metal insulated semiconductor field effect transistor (MISFET), fin type metal oxide semiconductor field effect transistor (MOSFET), large scale integrated circuit (LSI) device for mobile device, computer, communication apparatus.

ADVANTAGE - The performance and cut-off characteristics of the semiconductor device are improved.

DESCRIPTION OF DRAWING(S) - The figure shows a sectional view of the semiconductor device. (Drawing includes non-English language text).

substrate 1

insulating film 2

semiconductor area 3

leg 3a

wide portion 3b

source/drain areas 6,7

gate electrode 8

CHOSEN-DRAWING: Dwg.1/18

DERWENT-CLASS: L03 U11 U12

CPI-CODES: L03-G04A; L04-E01C;

EPI-CODES: U11-C18A3; U12-D02A;

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-281845

(P2004-281845A)

(43) 公開日 平成16年10月7日 (2004.10.7)

(51) Int. Cl. ⁷

H01L 29/786

H01L 21/336

F1

H01L 29/78

618C

H01L 29/78

617K

H01L 29/78

627C

テーマコード (参考)

5F110

審査請求 有 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2003-73002 (P2003-73002)
 (22) 出願日 平成15年3月18日 (2003.3.18)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100083161
 弁理士 外川 英明
 (72) 発明者 萩島 大輔
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝横浜事業所内
 (72) 発明者 松澤 一也
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝横浜事業所内
 (72) 発明者 稗田 克彦
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝横浜事業所内

最終頁に続く

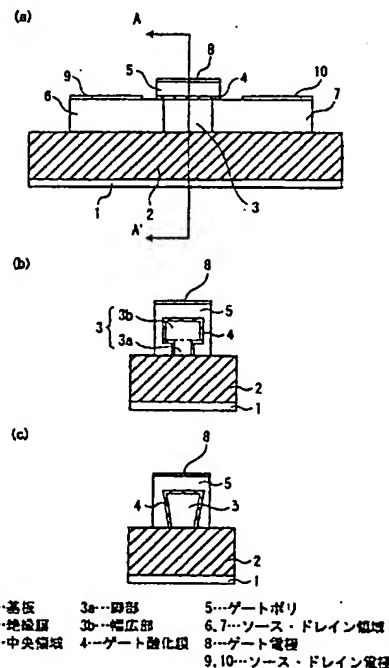
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 十分な駆動電流と優れたカットオフ特性を得ることが可能なFin型MISFETの提供。

【解決手段】 絶縁膜2と、絶縁膜上に形成された導電性の一対のソース・ドレイン領域6、7と、ソース・ドレイン領域間に形成された半導体領域3であって、両側面に形成されたチャネル領域に流される電流方向をゲート長方向とし、ゲート長方向と半導体領域の高さ方向に対して垂直な方向をゲート幅方向とすると、絶縁膜側の脚部3aと脚部3b上に形成された脚部3aよりもゲート幅方向に広い幅広部3b'とを備える半導体領域と、脚部の側面、幅広部の脚部との接面を除く下面および幅広部の側面を覆うゲート絶縁膜と、ゲート絶縁膜を介して、脚部の側面、幅広部の脚部との接面を除く下面および幅広部の側面を覆うゲート電極を備えることを特徴とする半導体装置を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁膜と、

前記絶縁膜上に形成された導電性の一对のソース・ドレイン領域と、

前記一对のソース・ドレイン領域間に形成された半導体領域であって、両側面に形成されたチャンネル領域に流される電流方向をゲート長方向とし、前記ゲート長方向と前記半導体領域の高さ方向に対して垂直な方向をゲート幅方向とすると、前記絶縁膜側の脚部と前記脚部上に形成された前記脚部よりもゲート幅方向に広い幅広部とを備える前記半導体領域と、

前記脚部の側面、前記幅広部の前記脚部との接面を除く下面および前記幅広部の側面を覆うゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記脚部の側面、前記幅広部の前記脚部との接面を除く下面および前記幅広部の側面を覆うゲート電極を備えることを特徴とする半導体装置。

【請求項 2】

前記ソース・ドレイン領域間の長さ L_g に対し、前記幅広部のゲート幅方向の最大幅 W が $L_g \geq W$ の関係にあることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

絶縁膜と、

前記絶縁膜上に形成された導電性の一对のソース・ドレイン領域と、

前記一对のソース・ドレイン領域間に形成された半導体領域であって、両側面に形成されたチャンネル領域に流される電流方向をゲート長方向とし、前記ゲート長方向と前記半導体領域の高さ方向に対して垂直な方向をゲート幅方向とすると、前記ゲート幅方向に閉口な断面が台形をなし、上面から下面にわたり幅が単調に減少する半導体領域と、

前記半導体領域の側面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜を介して、前記中央領域の側面を覆うゲート電極とを備えることを特徴とする半導体装置。

【請求項 4】

前記一对のソース・ドレイン領域の上面に、ソース電極およびドレイン電極を備えることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

絶縁膜上に半導体領域を形成する工程と、

前記半導体領域の前記絶縁膜側を下部とし、前記下部より上を上部とし、前記上部の側面および上面を覆う絶縁体マスクを形成する工程と、

前記絶縁体マスクが形成されずにある前記半導体領域下部の側部をエッチング除去する工程と、

前記一部がエッチング除去された下部側面と、前記上部のうち前記下部との接面を除く一对の下面、前記上部の側面および上面にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜を覆うゲート電極を形成する工程と、

前記半導体領域に隣接する導電性の一对のソース・ドレイン領域を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、金属／絶縁体／半導体接合を持つ電界効果トランジスタに関し、絶縁膜上に形成された半導体領域の側面と上面にゲート絶縁膜を介してゲート電極が形成されたフィン型電界効果トランジスタとその製造方法に関する。

【0002】

【従来の技術】

近年、コンピューターや通信機器など各種モバイル機器の高性能化により、大規模集積回路（LSI）が担う役割はますます重要になりつつある。LSI の性能を向上させるには

10

20

30

40

50

、L S Iを構成する金属／絶縁体／半導体接合を持つ電界効果トランジスタ（M I S F E T）を高性能化する必要がある。

【0003】

M I S F E Tの高性能化とは、駆動電流の増加、閾値電圧の制御、寄生抵抗／寄生容量の低減、カットオフ特性の向上等を指す。高性能化は素子を微細化することによって行われてきており、近年ではM I S F E Tのゲート長（チャンネル寸法、ゲート寸法ともいう）は数10nmの長さに近づいている。しかし、このようにチャンネル長が短くなると、短チャンネル効果によってリーク電流が増加し、M I S F E Tの特性が劣化するという問題が顕在化してくる。

【0004】

ここで、平面型のM I S F E Tでは、ゲート長は短冊形状を持つゲート電極の短辺の長さに等しい。ゲートの短辺方向、つまりゲート長方向にはM I S F E Tのソース・ドレイン領域が形成される。また、短冊形状のゲート電極の長辺（実際は、長辺のうち半導体基板上にある部分）はゲート幅と呼ばれ、ゲート幅方向のゲート電極端部は一般に素子分離領域に形成される。つまり、短冊形状のゲート幅方向とゲート長方向はほぼ直角の関係をなす。

【0005】

M I S F E Tの絶縁体として酸化膜を用いたのがM O S F E Tである。短チャンネル効果を抑制するためにゲート酸化膜を薄くしたり、チャンネル部の不純物濃度を 10^{18} 個/cm³程度まで高濃度化したりして、ソース・ドレイン領域間のパンチスルーを防止すること

【0006】

しかし、信頼性を保証できる最大許容電界の制限から、ゲート酸化膜の膜厚を必要以上に薄くすることはできない。また、過度のチャンネル不純物濃度の高濃度化は、チャンネル領域での高濃度不純物散乱による駆動電流の飽和をもたらし、チャンネル長を短くしても駆動電流が増加しないという問題が顕著になってきている。また、微細化によるゲート電極の高抵抗化やソース／ドレイン間の寄生抵抗の増加も問題となっている。

【0007】

このような事情から、F i n型M O S F E T構造が提案された（非特許文献1および2参照）。F i n型M O S F E Tは、半導体基板に形成された埋め込み酸化膜上に、略直方体の半導体層が形成され、少なくとも半導体層の中央部の両側面をチャンネル領域として使用する構造である。半導体層の長手方向の両側には一対のソース・ドレイン領域が形成され、これらに挟まれた半導体層の中央部がチャンネル領域として用いられる。

【0008】

チャンネルは半導体層の中央部の両側面（時には上面も）に形成される。ゲート酸化膜を介してゲート電極が形成される。従って、直方体形状の半導体層ではゲート長方向は半導体層の長手方向に略等しいといえる。非特許文献1には、半導体層の中央部の両側面のみにチャンネルが形成されるF i n型M O S F E Tが開示されている。また、非特許文献2には、中央部の両側面と上面にチャンネルが形成されるF i n型M O S F E Tが開示されている。

【0009】

このF i n型M O S F E Tは両側面に形成されるチャンネル領域を用いるため、同じ素子サイズの平面型M O S F E Tより多くの駆動電流が得られることが特徴として挙げられる。ここで、平面型M O S F E Tとは、チャンネル領域とソース・ドレイン領域とが基板表面に並んで形成されたM O S F E Tである。また、F i n型M O S F E Tの第二の利点として、チャンネル領域に対するゲート電圧の制御性が向上する点が挙げられる。

【0010】

このように平面型より優れた特性を得られるF i n型M O S F E Tであるが、ゲート長（ソース・ドレイン領域間の距離）が短くなると、リーク電流の発生が問題となる。

【0011】

10

20

30

40

50

【非特許文献1】

B. Yu et al. (Advanced Micro Devices), "Fin FET Scaling to 10nm Gate Length", IEDM 2002, pp 251-254.

【0012】

【非特許文献2】

J. Kdzierski et al., "Metal-gate FinFET and fully-depleted SOI devices using total gate silicidation", IEDM 2002, pp 247-250.

【0013】

10

【発明が解決しようとする課題】

以上のように、LSIの高性能化を進めるためにはMOSFETの微細化が必要不可欠である。しかし、駆動電流の増加とカットオフ特性の向上の両立はますます困難になりつつある。

【0014】

本発明はこのような背景に鑑みて、MISFETの駆動電流とリーク電流を独立に制御することにより、駆動電流の増加とカットオフ特性の向上の両立を可能とする半導体装置ならびにその製造方法を提供することを課題の一つとする。

【0015】

【課題を解決するための手段】

20

上記課題を解決するために、本発明の第一は、絶縁膜と、絶縁膜上に形成された導電性の一对のソース・ドレイン領域と、一对のソース・ドレイン領域間に形成された半導体領域であって、両側面に形成されたチャネル領域に流される電流方向をゲート長方向とし、ゲート長方向と前記半導体領域の高さ方向に対して垂直な方向をゲート幅方向とすると、絶縁膜側の脚部と脚部上に形成された脚部よりもゲート幅方向に広い幅広部とを備える半導体領域と、脚部の側面、幅広部の脚部との接面を除く下面および幅広部の側面を覆うゲート絶縁膜と、ゲート絶縁膜を介して、脚部の側面、幅広部の脚部との接面を除く下面および幅広部の側面を覆うゲート電極を備えることを特徴とする半導体装置を提供する。

【0016】

また、本発明の第二は、絶縁膜と、絶縁膜上に形成された導電性の一对のソース・ドレイン領域と、一对のソース・ドレイン領域間に形成された半導体領域であって、両側面に形成されたチャネル領域に流される電流方向をゲート長方向とし、ゲート長方向と半導体領域の高さ方向に対して垂直な方向をゲート幅方向とすると、ゲート幅方向に閉口な断面が台形をなし上面から下面にわたり幅が単調に減少する半導体領域と、半導体領域の側面に形成されたゲート絶縁膜と、ゲート絶縁膜を介して、中央領域の側面を覆うゲート電極とを備えることを特徴とする半導体装置を提供する。

30

【0017】

また、本発明の第三は、絶縁膜上に半導体領域を形成する工程と、半導体領域の絶縁膜側を下部とし、下部より上を上部とし、上部の側面および上面を覆う絶縁体マスクを形成する工程と、絶縁体マスクが形成されずにある半導体領域下部の側部をエッチング除去する工程と、一部がエッチング除去された下部側面と、上部のうち下部との接面を除く一对の下面、上部の側面および上面にゲート絶縁膜を形成する工程と、ゲート絶縁膜を覆うゲート電極を形成する工程と、半導体領域に隣接する導電性の一对のソース・ドレイン領域を形成する工程とを備えることを特徴とする半導体装置の製造方法を提供する。

40

【0018】

【発明の実施の形態】

次に、本発明の各実施の形態について図面を参照しつつ説明する。なお、実施の形態や実施例を通して共通の構成には同一の符号を付すものとし、重複する説明は省略する。

【0019】

また、各図は発明の説明とその理解を促すための模式図であり、その形状や寸法、比など

50

は実際の装置と異なる個所があるが、これらは以下の説明と公知の技術を参酌して適宜、設計変更することができる。なお、以降、*n*型MOSFETについて説明するが、*p*型MOSFETについても同様に実施することができ、同様の機能・効果を得ることができる。

【0020】

(第1の実施の形態)

図1(a)および(b)は、本発明の第1の実施の形態に関わるFin型MOSFETを説明するための断面図である。図1(a)は、Fin型MOSFETのゲート長方向の断面を示す。また、図1(b)は図1(a)のA-A'断面を示す。

【0021】

第1の実施の形態に関わるFin型MOSFETは、基板1とこの基板1上に設けられた絶縁膜2と絶縁膜2上に形成された直方体形状の半導体層を備える。この半導体層は、中央領域3とこの中央領域3をチャネル長方向から挟む一対のソース・ドレイン領域6、7を備える。

【0022】

中央領域3は、チャネルが形成される半導体領域である。中央領域3は、埋め込み酸化膜2上の脚部3aと脚部3aの上に形成された幅広部3bを備える。また、半導体領域3の両側面および上面にはゲート絶縁膜4を介してゲートポリ5が形成されている。

【0023】

尚、半導体層の平面形状は必ずしも直方体である必要はなく、適宜変更可能である。例えば、中央領域3の幅(幅広部3bの幅)よりもソース・ドレイン領域6、7の幅を広くしてもよい。ソース・ドレイン領域6、7上には、ソース・ドレイン電極9、10が形成される。このソース・ドレイン電極9、10はコンタクト電極であり、配線を介して他の素子に繋がられる。よって、ソース・ドレイン領域6、7の幅を広くすると、電極とのコンタクト面積を広げるなどの工夫ができる。

【0024】

また、ゲートポリ5上には金属ゲート電極8が形成され、ゲートポリ5はゲート電極8を介してゲート制御線に接続される。このようなゲートコンタクトは、半導体層上で行ってもよいが、ゲートポリを埋め込み酸化膜2上に延在させて、埋め込み酸化膜2上で行うことが望ましい。

【0025】

ゲートポリ5の制御によりソース・ドレイン領域6、7間にチャネルが形成される。このチャネルは、中央領域3の上面と側面、つまり、脚部3aの両側面および幅広部3bの両側面と上面脚部3aと重なり部を除く下面に形成される。尚、脚部3aと幅広部3bとの位置関係を図1(b)の状態からずらすことで、チャネルの位置もかえられる。例えば、図1(b)の断面での脚部3aの位置を左や右に移動してもよい。

【0026】

また、非特許文献1に記載されているように、中央領域3の上面(図1(b)の例では幅広部3bの上面)にチャネルを形成せずともよい。この場合は、中央領域3の上面を覆う絶縁膜を厚くしたり、上面の不純物濃度を制御するなどして、チャネルを形成しないようにすることができる。

【0027】

尚、基板としては、半導体基板に埋め込み酸化膜2を介して半導体層が形成されたSOI基板を用いることができる。この実施の形態では、埋め込み酸化膜2上の半導体層を直方体形状に加工して、島状の凸をなす半導体層を形成し、これに中央領域3とソース・ドレイン領域6、7を形成した。半導体層(Fin)は、絶縁膜2の表面に対し垂直に立つ板状とすることもできるし、その厚み(幅)を太らせてもよい。

【0028】

半導体層の中央領域3は、図1(c)の断面模式図(図1(a)のA-A'断面に相当)に示すように、上面の幅が下面よりも広く、上面から下面にわたり幅が徐々に狭まった台

10

20

30

40

50

形とすることもできる。この形状では、ゲート幅方向の半導体層の両側面は絶縁膜2の表面に対しテーパーをなす。

【0029】

図2に、断面が長方形の中央領域（脚部と幅広部を持たない）を持つ従来のFin型MOSFETと本実施の形態によるFin型MOSFETのゲート電圧・ドレイン電流特性をシミュレーションにより求めた結果を示す。

【0030】

図2(a)がドレイン電流を線形表示したものであり、図2(b)がドレイン電流を対数表示したものである。図2(a)は特に、駆動電流特性を示すための図であり、図2(b)はカットオフ特性を示す。カットオフ特性は図2(b)中の傾斜領域（ -1.5 V から -0.5 V あたり）、ゲート電圧・ドレイン電流曲線（この部分では実質直線である）の傾きが大きいほど良い。

【0031】

ここで、従来のFin型MOSFETの構造は、ゲート長 $L = 20\text{ nm}$ 、実効ゲート長 $L_{\text{eff}} = 16\text{ nm}$ 、ゲートポリ不純物濃度 $N_g = 1 \times 10^{20}\text{ cm}^{-3}$ 、中央領域不純物濃度 $N_{\text{sub}} = 1 \times 10^{17}\text{ cm}^{-3}$ 、ソース・ドレイン領域不純物濃度 $N_{\text{ex}} = 7 \times 10^{19}\text{ cm}^{-3}$ 、ゲート絶縁膜厚さ $t_{\text{ox}} = 1.5\text{ nm}$ 、Finの高さ $h = 20\text{ nm}$ 、埋め込み絶縁膜2の厚さ $h_b = 200\text{ nm}$ とした。また、ドレイン電圧 $V_d = 1\text{ V}$ で、ゲート幅 $W = 10\text{ nm}$ （図2(a)および(b)では○で示す）または 20 nm （図2(a)および(b)では□で示す）とした。

【0032】

また、本実施の形態に関わる構造は、 $L = 20\text{ nm}$ 、 $L_{\text{eff}} = 16\text{ nm}$ 、 $N_g = 1 \times 10^{20}\text{ cm}^{-3}$ 、 $N_{\text{sub}} = 1 \times 10^{17}\text{ cm}^{-3}$ 、 $N_{\text{ex}} = 7 \times 10^{19}\text{ cm}^{-3}$ 、 $t_{\text{ox}} = 1.5\text{ nm}$ 、中央領域3の高さ $h = 20\text{ nm}$ 、幅広部3bの幅 $W = 20\text{ nm}$ 、 $h_b = 200\text{ nm}$ とした。また、ドレイン電圧 $V_d = 1\text{ V}$ で、脚部3aの高さ $h_0 = 10\text{ nm}$ 、脚部3bの幅 $W_0 = 10\text{ nm}$ である。すなわち、本実施の形態の中央領域3は、 $W = 10\text{ nm}$ の従来構造と $W = 20\text{ nm}$ の従来構造とを組み合わせた構造となっている。

【0033】

図2(a)および(b)からわかるように、中央領域3の幅を単純に狭くするとカットオフ特性は向上するが、ゲート幅が短くなるため駆動電流が大幅に減少するという弊害がある。しかし、本実施の形態によれば、 $W = 10\text{ nm}$ の従来構造とほぼ同等のカットオフ特性を得ることができ、同時に $W = 20\text{ nm}$ の従来構造とほぼ同等の駆動電流を得ることができる。このように、本実施の形態によれば、カットオフ特性と駆動電流を両立することができる。

【0034】

Fin型MISFETでは上面と側面にゲート電極（ゲートポリ）があり、3方向から中央領域の電位の制御を行う。Fin型MISFETのゲート幅を広くするとより多くの電流が取れるメリットがある一方、ゲート電極の中央領域3の内側に対する制御性は幅を広くすると悪くなる。そのため、幅 W は実効ゲート長 $L_{\text{eff}} \geq W$ とするのが優れた制御性を得るために望ましい。

【0035】

図3は、本実施の形態において、 W_0 を 1.8 nm 、 14 nm 、 10 nm と変えた時の、ゲート電圧・ドレイン電流特性をシミュレーションにより求めた結果である。図3(a)がドレイン電流を線形表示したものであり、図3(b)がドレイン電流を対数表示したものである。図3(a)は駆動電流特性を示すための図であり、図3(b)はカットオフ特性を示す。

【0036】

脚部の導入により、カットオフ特性が変化しているにもかかわらず、駆動電流が一定値に保たれていることが分かる。すなわち、本実施の形態によれば、従来技術では不可能であ

った、駆動電流とカットオフ特性の独立制御および両者の両立が可能になるといえる。

【0037】

また、本実施の形態では、ゲートポリ5を脚部3a脇に形成することで、パンチスルーが発生しやすい脚部3aの制御性を高めている。つまり、中央領域3の内部に対するゲート電圧の制御性が向上しており、よりパンチスルーの発生しにくい構造が実現できる。

【0038】

ここで、従来のFin型MISFETにおいて半導体層のソース・ドレイン領域間のうち下部中央を絶縁体に置換する構造もパンチスルー低減に有用であるように思える。つまり、下部中央の絶縁膜の脇を半導体としておけば、チャネル領域は減少しないから駆動電流は減少しない。しかし、この構造では、置換した絶縁体周囲へのゲート電極からの制御性は弱いままである。このため、置換した絶縁体周囲でのパンチスルーが従来Fin型MISFETと同様に生じてしまう。

【0039】

次に、本発明により得られるFin型MOSFETの製造方法を、図4乃至図24の断面図を用いて説明する。

【0040】

まず、図4に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位(100)P型Si基板1に対し酸素イオンを注入する。このSi基板1を熱処理することで図5に示すように厚さ200nm程度の埋め込み酸化膜(絶縁膜)2とP型シリコン層11を形成する。P型シリコン層11表面に予定する半導体層3の平面形状を持つ(例えば、平面形状が長方形の)Si₃N₄層12を形成する。この長方形のSi₃N₄層12は、図5の紙面垂直方向に長辺を持ち紙面左右方向に短辺を持つ。

【0041】

次に、埋め込み酸化膜2の上部のP型シリコン層11に対してSi₃N₄層12をマスクにRIE(Reactive Ion Etching)を行い、例えば高さ約20nm、長さ約260nm、幅約20nm程度の直方体のシリコン層13および長さ約20nm、幅約20nm程度のSi₃N₄層12を形成する。尚、シリコン層13の幅とSi₃N₄層12の幅とは図6の紙面左右方向の幅であり、長さは図6の紙面垂直方向の長さである。また、半導体層11のRIEのマスクにSi₃N₄層12の形状加工に用いたレジストパターンを用いることも可能である。

【0042】

次に、シリコン層13の中央領域3について、上の幅広部3bよりも幅の狭い脚部3aを形成する方法を2つ説明する。

【0043】

まず、第1の方法を図7乃至図11を参照しつつ説明する。図7乃至図11は、中央領域3のチャネル幅方向の断面図である。

【0044】

まず、図7に示すように、シリコン層13と埋め込み絶縁膜2上に、絶縁膜であるBPSSG(Boro-Phospho Silicated Glass)15を堆積する。その後、Si₃N₄層12をストッパーとして、CMP(CheMical MechaniCal Polishing)によりBPSSG層15を平坦化する。

【0045】

次に、RIEエッチバックにより、図8に示すような、BPSSG層15を5~10nm程度の厚さを持つ層16とする。この後、図9に示すように、熱酸化によりシリコン層13の両側面にSiO₂膜17を形成する。

【0046】

SiO₂膜17とBPSSG層16は共に絶縁膜であるが、両者のエッチングレートが異なるため、BPSSG層16のみを取り除くことができる。BPSSG層16のみを除去した中央領域3の断面図が図9である。

【0047】

そして、C D Eなどの等方性の化学的エッチングを行う。すると、シリコン層13の上部は Si_3N_4 膜12や SiO_2 膜17で保護されているのに対し、下部(脚部)は絶縁膜で保護されていないため、図10に示すように、半導体層3の断面形状はT字型となる。ここで、埋め込み絶縁膜2側の半導体層3の部分領域はT形状の脚部3aであり、T形状の笠部となる半導体層3の部分領域はチャネル幅方向に広がった幅広部3bである。

【0048】

次に、 Si_3N_4 層12および SiO_2 膜17を除去した後、改めて熱酸化により半導体層3の表面にゲート絶縁膜4を形成すれば、図11に示す断面構造が得られる。

【0049】

次に、第2の方法を図12および図13を参照しつつ説明する。図12および図13は、中央領域3のチャネル幅方向の断面を示す。 10

【0050】

まず、図6の構造に対して温度約1050度、時間約30秒程度のRTA(Rapid Thermal Anneal)を行う。すると、シリコン層13の側面のほかパズピーク現象により Si_3N_4 層14とシリコン層13の界面およびシリコン層13と埋め込み酸化膜2との界面のうち、酸化雰囲気に触れる角部に酸化膜18が形成される。この結果、図13に示すように、シリコン層13の下面の幅と上面の幅を狭めることができる。

【0051】

その後、 Si_3N_4 層14および SiO_2 膜18を除去し、再度熱酸化によりシリコン層13の表面にゲート絶縁膜4を形成すれば、図13に示すような断面構造が得られる。図13では、ゲート絶縁膜4の厚みが増している半導体層3の下側が脚部に相当し、脚部と幅広部の境は点線で示した。ここで、長時間の熱酸化を行う従来方法では、厚いゲート絶縁膜が形成される結果、パズピークの効果が見えにくくなるため好ましくない。 20

【0052】

以上のように、第1および第2の方法のどちらを用いても、半導体層3の脚部3aと幅広部3bを形成することができる。以降は、図11を用いて以後の製造工程の説明を行う。

【0053】

半導体層3の脚部3aと幅広部3bを形成した埋め込み酸化膜2の上に、図14に示すように、多結晶シリコン膜19を堆積する。この多結晶シリコン膜19にリンなどの不純物をイオン注入して、不純物濃度 $7 \times 10^{19} \text{ cm}^{-3}$ 程度の n^+ 型多結晶シリコン膜19を形成する。 30

【0054】

次に、マスクを用いてゲート形成部にレジスト膜を設け、RIEによりソース領域・ドレイン領域上の多結晶シリコン膜19を除去する。その後、レジスト膜を剥離する。すると、ゲート酸化膜4を介して、半導体層の中央領域3の上面と両側面、脚部と重なり合う表面を除くが幅広部の下面を覆う、多結晶シリコン膜よりなるゲート電極5を形成することができる。

【0055】

図15(a)、(b)および(c)は、以上の製造行程の結果得られた構造を示す。図15(a)はチャネル長方向の断面図である。図15(b)は図15(a)のA-A'断面(ソース・ドレイン予定領域)を示し、図15(c)は図15(a)のB-B'断面(チャネル・ゲート予定領域)を示す。 40

【0056】

ここで、図15(b)のように、ゲート電極5は、シリコン層13のうちソース・ドレイン予定領域の脚部13aの脇に残置している。

【0057】

次に、図16(a)および(b)に示すように、ソース・ドレイン予定領域およびゲートポリ5にリンなどの不純物をイオン注入する。ここで、図16(a)はシリコン層13のゲート長方向の断面を示し、図16(b)は、図16(a)のA-A'断面を示す。

【0058】

そして、注入した不純物の活性化のための熱処理を施して、図17(a)および(b)に示すように、不純物濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 程度の n^+ 型のソース・ドレイン領域6, 7を形成する。ここで、図17(b)は図17(a)のA-A'断面を示す。

【0059】

図17(a)のソース・ドレイン領域6, 7は埋め込み絶縁膜2に達していないが、不純物イオン注入の注入エネルギーを調整すれば、図1等のように埋め込み絶縁膜2上面に達するソース・ドレイン領域6, 7を形成することができる。

【0060】

また、図17(b)に示すように、ソース・ドレイン領域6, 7幅広部の底の下には、多結晶シリコン膜5が残っているため、RIEにより残存する多結晶シリコン膜5を除去することができる。 10

【0061】

そして、図18(a)および(b)に示すように、多結晶シリコン膜5、埋め込み酸化膜2、シリコン層13およびゲート電極5を覆う素子分離用の絶縁膜20を形成する。ここで、図18(b)は、図18(a)のA-A'断面である。さらに、絶縁膜20にソース・ドレイン領域6, 7につながる電極用のコンタクトホールを形成し、このコンタクトホールに金属配線21を埋め込んでソース・ドレイン領域6, 7との接続をとる。ゲート電極5についても同様に、コンタクトホールを形成して金属配線を形成する(図示せず)。

【0062】

以上により、第1の実施の形態のFin型MOSFETが完成する。その後、上記金属配線21を介して他の素子との接続を取り、半導体集積回路装置が完成する。 20

【0063】

次に、図1(c)の断面形状を形成する方法を説明する。

【0064】

図4および図5を用いて説明した製造工程を経た後、 Si_3N_4 層12をマスクに用いて異方性エッチングを2度にわたり行う。つまり、シリコン層11に入射するエッチング粒子の異方性の向きが、図5における絶縁膜2の表面の法線から右側に傾斜したエッチングと、左側に傾斜したエッチングを行う。すると、シリコン層11のチャンネル予定領域を図3(c)に示す断面形状を備えた中央領域3とすることができる。このような断面形状を形成した後、ゲート絶縁膜、ゲート電極などを順次形成する。 30

【0065】

本発明は、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。例えば、以上説明したのはMOSFETであるが、本発明は絶縁体として酸化膜以外を用いたFin型MISFETについても適用可能である。

【0066】

また、チャンネルを形成する中央領域3では脚部3aと幅広部3bを形成するが、ソース・ドレイン領域において脚部と幅広部を設けなくとも良い。

【0067】

また、シリコン層13やその中央領域3はシリコンのほかにも他の半導体材料や化合物半導体材料を用いることができる。また、ゲート絶縁膜に高誘電体の絶縁膜や金属シリサイド層を用いたり、ソース・ドレイン領域6, 7には平面MOSFETで用いられているシリサイド層などを形成することもできる。 40

【0068】

さらに、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成することができる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【0069】

【発明の効果】

本発明の半導体装置によれば、優れた駆動電流およびカットオフ特性を得ることが可能と 50

なる。また、従来の構造では不可能であった、駆動電流とカットオフ特性の独立制御が可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に関わる半導体装置を説明するための断面図。

【図 2】従来構造の Fin 型 MOSFET と、第 1 の実施の形態によるゲート電圧・ドレイン電流特性を比較したものであり、図 2 (a) はドレイン電流を線形に表示した図、図 2 (b) はドレイン電流を対数表示した図である。

【図 3】第 1 の実施の形態において、脚部 3 a の幅を変えたときのゲート電圧・ドレイン電流特性を比較したものであり、図 3 (a) はドレイン電流を線形に表示した図、図 3 (b) はドレイン電流を対数表示した図である。

10

【図 4】第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 5】図 4 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 6】図 5 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 7】図 6 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 8】図 7 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 9】図 8 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

20

【図 10】図 9 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 11】図 10 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 12】図 6 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 13】図 12 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 14】図 11 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

30

【図 15】図 12 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 16】図 15 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 17】図 16 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【図 18】図 17 に続いて第 1 の実施の形態に関わる半導体装置の製造方法を説明するための断面図。

【符号の説明】

40

1・・・シリコン基板

2・・・絶縁膜

3・・・中央領域

3 a・・・脚部

3 b・・・幅広部

4・・・ゲート酸化膜

5・・・ゲートポリ

6, 7・・・ソース・ドレイン領域

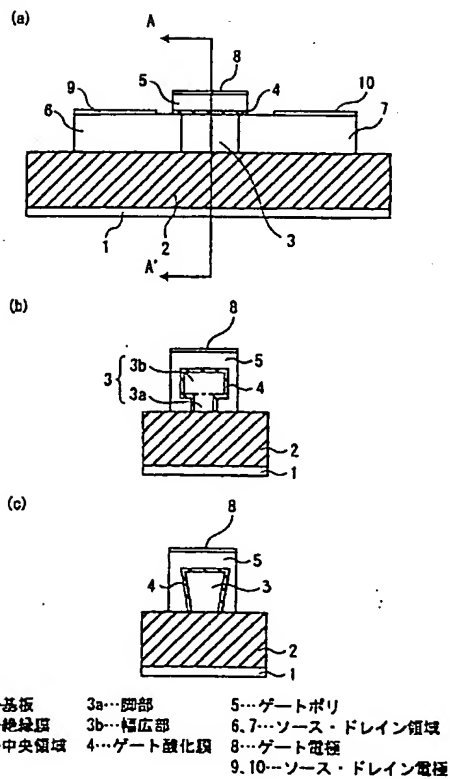
8・・・ゲート電極

9, 10・・・ソース・ドレイン電極

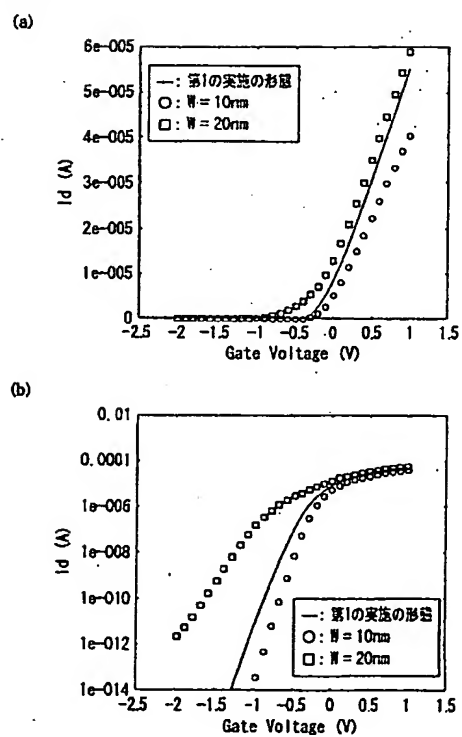
50

- 11...シリコン層
 12... Si_3N_4 膜
 13...シリコン層
 15, 16...BPSC膜
 17, 18... SiO_2 膜
 19...多結晶シリコン膜
 20...絶縁膜
 21...金属配線

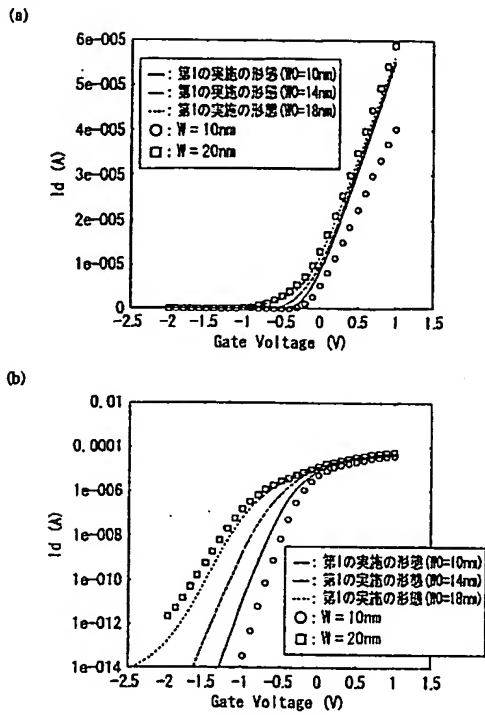
【図1】



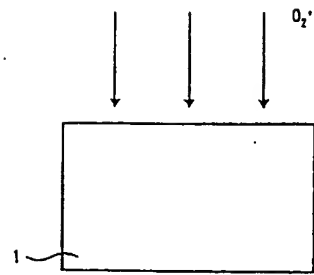
【図2】



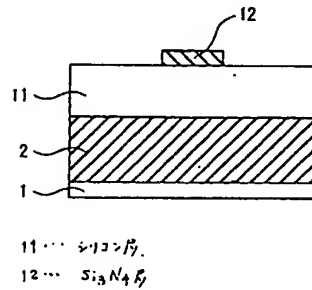
【図 3】



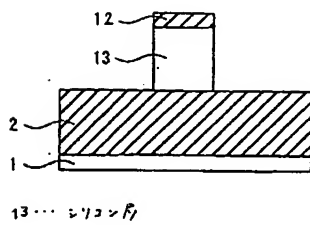
【図 4】



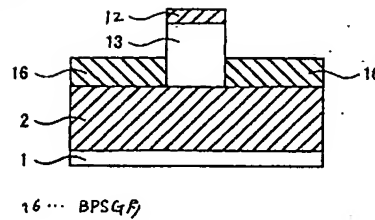
【図 5】



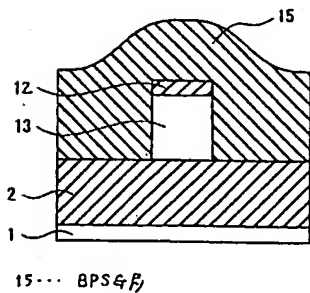
【図 6】



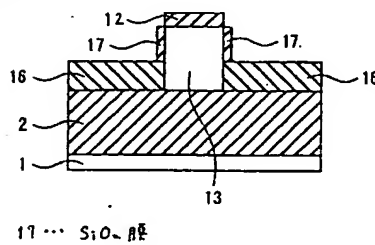
【図 8】



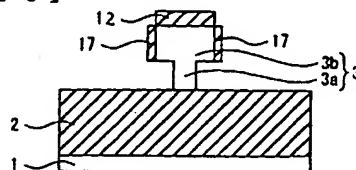
【図 7】



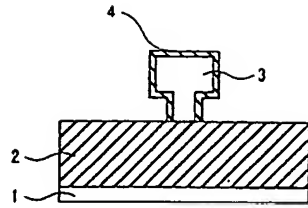
【図 9】



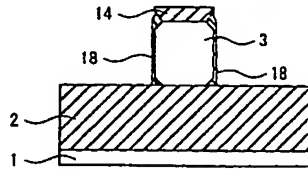
【図 10】



【図 1 1】

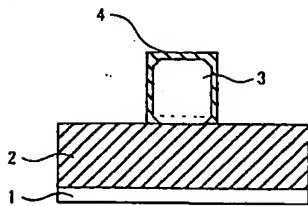


【図 1 2】

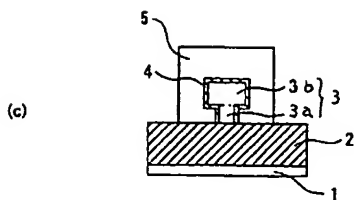
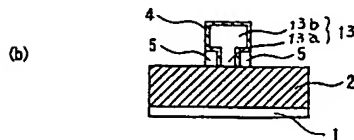
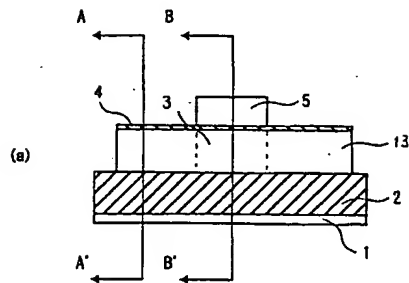


18... SiO₂膜

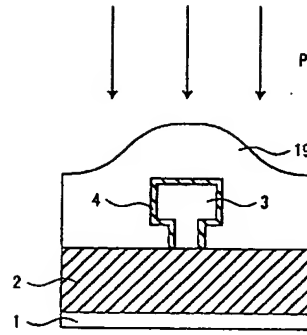
【図 1 3】



【図 1 5】

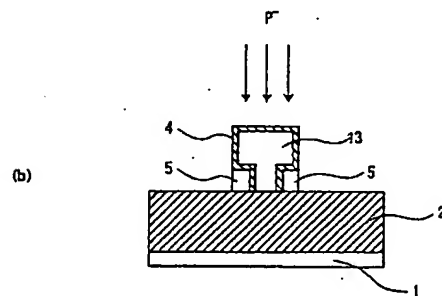
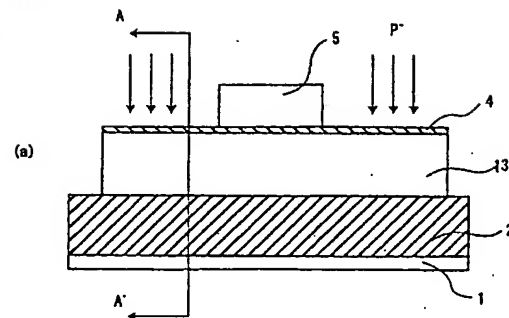


【図 1 4】

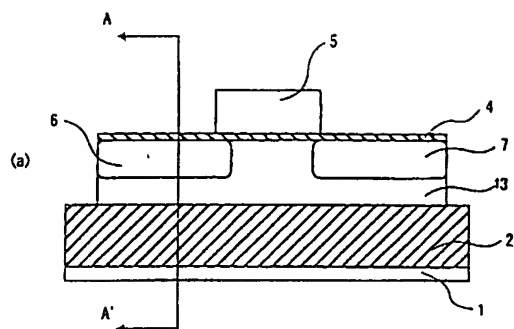


19... 多結晶シリコン膜

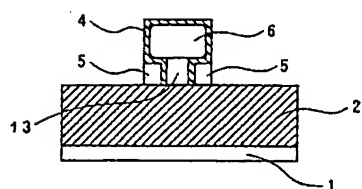
【図 1 6】



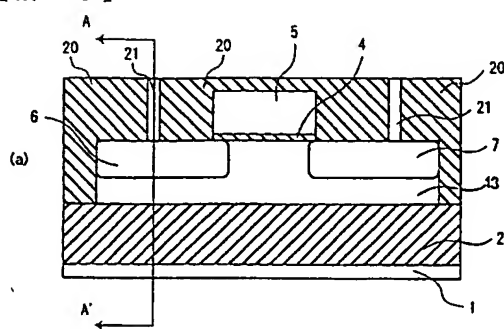
【図 17】



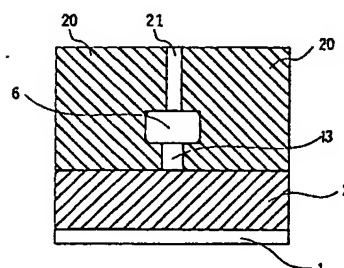
(b)



【図 18】



(b)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.